**一、填空题** （每空1分，共 20 分）

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

1. 数字系统中逻辑电路的研究有两个主要任务：一是分析，二是 设计 。
2. 二进制数A=110010,B=1010,则A+B= 111100 ，A÷B= 101 。
3. 由相同的n个变量构成的最小项mi和最大项Mi，则mi⊕Mi= 1 。
4. 卡诺图是一种平面方格图，几何图形上处在 相邻 、 相对 、 相重 位置的小方格所代表的最小项为相邻最小项。
5. 若逻辑函数表达式的对偶式就是原函数表达式本身，则称函数F为 对偶函数 。
6. 消除或避免电路中可能出现的险象有如下几种常用的方法： 增加冗余项 、 增加惯性延时环节 、 选通法 。
7. A/D转换的过程包括 采样保持 和 量化编码 两大步骤。
8. 组合电路由逻辑门电路组成，不包含任何 触发器 ;信号是单向传输的，不存在 反馈回路 。
9. 同步时序电路的状态如何变化，取决于 输入信号 ；状态何时变化，取决于 时钟信号 ；每个状态维持多久，取决于时钟脉冲的 周期 。
10. 二进制加法器是一种能产生两个二进制数算术和的组合逻辑部件。按其进位方式的不同，可分为 串行进位 二进制并行加法器和 超前进位 二进制并行加法器两种类型。

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

**二、判断改错题**（下列命题你认为正确的在题后括号内打“√”，错误的打“×”，并在划线处改正。每小题2分，共10分）

1．由于一个逻辑变量有0和1两种可能的取值，因此，一个n变量的逻辑函数，其真值表有2\*n行。 ( × )

2．异步时序逻辑电路的存储电路可由触发器或延时元件组成，电路时钟信号的变化将直接导致电路状态的变化。 （ × ）

1. PLD的基本组成为一个“与”阵列和一个“或”阵列。每个输出都是输入的“或-与”函数。

（ × ）

4．若从状态S出发，某输入序列作用下所得到的状态响应序列的次态都是确定的，则该输入序列对状态S是有效的。 P144 （ √ ）

5．若一个时序逻辑电路没有专门的外部输出信号，而是以电路状态作为输出，则该电路为Mealy型电路。 （ × ）

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

**三、 函数化简** （共11分）

1、使用代数化简法，求函数的最简“与-或”表达式（5分）。

2、已知，填写图3-1所示卡诺图，化简求出函数F的最简“与-或”表达式及最简“或-与”表达式（6分）。

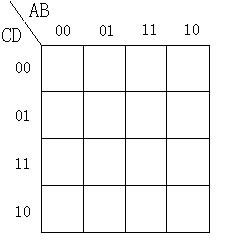


图3-1

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

**四、 解答题**（共10分）

1、分析下面的程序，画出电路图，并说明电路功能。

module  FSO (A, B, C,  F);

input A, B；

input  [3:0] C;

output  F;

wire A1, B1, T1, T2, T3,T4;

not G1 ( A1, A);

not  G2 ( B1,  B);

  and   G3(T1, A1, B1, C[0]);

and  G4 (T2, A1, B, C[1]);

and   G5 (T3, A, B1, C[2]);

and  G6 (T4, A, B, C[3]);

or  G7 (F, T1, T2, T3, T4);

endmodule

二进制4路选择器

2、四路选择器74153的逻辑符号如图4-1所示，其输入波形如图4-2所示，请在图4-2中画出其输出F的波形，F初值为0。





4选1 MUX

74153

G

图4-1

D0

D1

D2

D3

G

A1

A0

F

图4-2

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

**五、设计题**（**23分**）

1、设计一个初值为“0”的同步模6加1计数器。

要求：

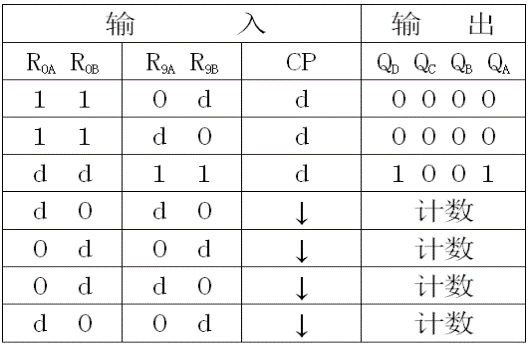
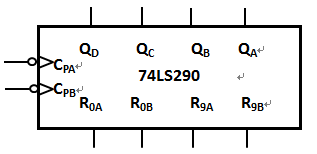
1. 做出电路的二进制状态图
2. 若用主从JK触发器和与非门实现，写出电路的激励函数和输出函数真值表5-1

表5-1

|  |  |  |  |
| --- | --- | --- | --- |
| 现 态 | 次 态 | 激 励 | 输 出 Z |
| 000  001  010  011  100  101 | 001  010  011  100  101  000 |  |  |

1. 写出电路的激励函数和输出函数表达式
2. 用集成电路芯片74LS290实现该模6加1计数器。集成电路芯片74LS290的功能表如表5-2所示，其逻辑符合如图5-1所示。请在给定的逻辑符号图上完成最终电路图；

表5-2 74LS290功能表

 图5-1 74LS290逻辑符号

1. 某集成二进制同步计数器功能表如表5-3所示，其逻辑逻辑符号如图5-2所示。 用该集成二进制同步计数器实现该模6加1计数器，并在给定的逻辑符号图上完成最终电路图。

表5-3 集成二进制同步计数器功能表

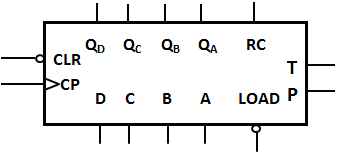
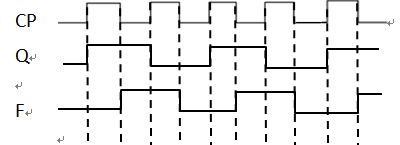
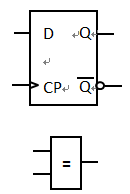


图5-2 集成二进制同步计数器逻辑符号

1. 你认为（4）、（5）两种方法哪一种更好些，为什么?

2、某电路波形如图5-3所示，该电路由D触发器和同或门构成。请在图5-4上画出正确的连接，以实现图5-3所示波形。

**F**

图 5-3 图 5-4

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

**六、分析题 （26分）**

1. 分析图6-1所示逻辑电路，并回答问题：

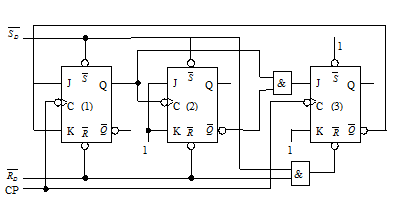
;

图6-14

1. 该电路是同步时序电路，还是脉冲异步时序电路？请说明理由；
2. 请说明和的作用；和能同时为0吗？
3. 写出激励函数：
4. 在表6-1中作出该电路的状态表

表6-1

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **CP** | **Q3 Q2 Q1** | **C3** | **J3** | **K3** | **C2** | **J2** | **K2** | **C1** | **J1** | **K1** | **Q3n+1 Q2n+1Q1n+1** |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |

1. 说明该电路的逻辑功能。

2．分析图6-2所示逻辑电路，并回答问题：

（1）图6-2左边阵列是什么逻辑器件？请说明理由；

（2）写出右边T触发器的激励函数和输出函数表达式；

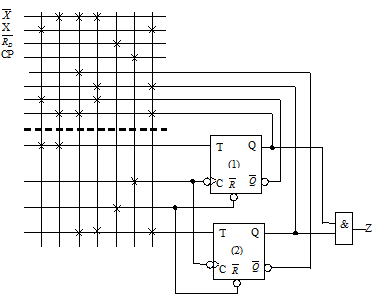


图6-2

（3）作出该电路的次态真值表6-2；

表6-2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X | Q2 Q1 | T2 T1 | Q2n+1Q1 n+1 | Z |
| 0 | 00 | 00 | 00 | 0 |
| 0 | 01 | 11 | 10 | 0 |
| 0 | 10 | 10 | 00 | 0 |
| 0 | 11 | 01 | 10 | 1 |
| 1 | 00 | 01 | 01 | 0 |
| 1 | 01 | 00 | 01 | 0 |
| 1 | 10 | 01 | 11 | 0 |
| 1 | 11 | 10 | 01 | 1 |

（4）做出电路的状态图

（5）说明该电路的逻辑功能。